

1/9/1

ORIGINAL FILE 147-100-10  
101 1.00 100 1.00 100 1.00 100 1.00  
004 0043 100 1.00 100 1.00 100 1.00

# GROOVE-BURIED SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 62 100000 100 1.00 100 1.00 100 1.00  
PUBLISHED: March 11, 1980 100 1.00 100 1.00 100 1.00  
INVENTOR(S): MINEGISHI YASUHIRO  
MORIYAMA YASUHIRO  
YAMADA YASUHIRO  
YAMADA YASUHIRO  
APPLICANT(S): NIPPON TRADING & DEVELOPMENT CO., LTD. (JAPAN) A Japanese  
Company, of Japan, 100 1.00 100 1.00 100 1.00  
APPL. NO.: 6 100000 100 1.00 100 1.00 100 1.00  
FILED: September 18, 1980 100 1.00 100 1.00 100 1.00  
INT. CLASS.: H01L 21/02, H01L 21/04, H01L 21/06  
CLASS. CODE: 6213 100000 100 1.00 100 1.00 100 1.00  
JOURNAL: INFORMATION REPORTING, No. 100000, 100 1.00 100 1.00 100 1.00  
Section 1, Section 2, 100 1.00 100 1.00 100 1.00  
100 1.00 100 1.00 100 1.00 100 1.00

## ABSTRACT

FIGURE 1 is a cross-sectional view of a semiconductor device in a cross-sectional view, showing a first conductivity type semiconductor layer 1 and a second conductivity type semiconductor layer 2 are laminated on a first conductivity type semiconductor substrate 3, and the layers 1, 2 are regularly separated by lattice grooves 4. The depth of the grooves 4 is such that the bottom of the grooves 4 is formed on the side of the layer 2 and in the bottom of the grooves 4, a first conductor 10 is buried in the bottom of the grooves 4, and the film 5 on the side of the layer 1, and a second conductor 11 is formed by the layer 2, the film 5 and the conductor 10. A second conductivity type diffusion layer 12 is formed on the upper surface of the layer 3, a second insulating film 13 is formed on the side of the layer 1, a second conductor 14 is formed in the groove of the film 12 by insulating 15 from the conductor 10, and an interlayer 16 is formed on the layers 1, 3, the layer 15, the film 13 and the conductor 14.

特許公開報 A 第63-66963

日期	班次	編號	片內電路碼	測試結果
8-06-1	37-10	309	F-6024-SJ	
	21-06		D-3011-SF	
	37-04		C-3011-SF	重測OK

11. THE UNITED STATES OF AMERICA

704 30 Nov - 215019

242 50 2000 1000 4 8 2

代表 明 者	重 雄 一 郎	神奈川県厚木市富田町3番1号 社厚木電気通信研究所内	日本電信電話株式会社
代 理 者	森 沢 博	神奈川県厚木市富田町3番1号 社厚木電気通信研究所内	日本電信電話株式会社
代 理 者	三 浦 賢 次	神奈川県厚木市富田町3番1号 社厚木電気通信研究所内	日本電信電話株式会社
代 理 者	中 島 善 孝	神奈川県厚木市富田町3番1号 社厚木電気通信研究所内	日本電信電話株式会社
出 版 人 送 付 人	日本電信電話株式会社 井里士 鈴江 武彦	東京都千代田区千代田1丁目1番6号 外2名	

● ● ●

## 1. 說明の事柄

世界は定平の保衛を以て其の責任を負ふ

[illegible]

3. 9.、放電1の通電体単結晶層と放電2の通電体  
単結晶層と放電3層と放電4の地線層、以下この  
通電体とにより電界効果トランジスタが形成され  
た構造を用いることを特徴とする炭素晶型半導体  
装置。

(11) 第1の半導体層を有する半導体材料の晶面上に図11の導電膜とに異なる第2の半導体を有する第1の半導体材料の晶層を形成しさらに図1の導電膜を有する第2の半導体材料の晶層を積層する工程と、図11と第2の半導体材料の晶層を積層した半導体材料の面に対して厚さを有しかつ一方側の導電膜が、電圧の印加により熱的膨張効果によって屈曲を生ずる工程と、図11の半導体材料の晶層と図12の導電膜と第2の半導体材料の晶層を形成する工程と、図11の半導体材料の晶層の表面に図11の絶縁膜を被せて第1の半導体材料の表面の露出部分を覆ふ工程と、図12の半導体材料の晶層の図11の半導体材料の晶層と対向する面に図2の導電膜を有するに図層を形成する工程と、図12の半導体材料の晶層の表面に図2の絶縁膜を被せる工程と、





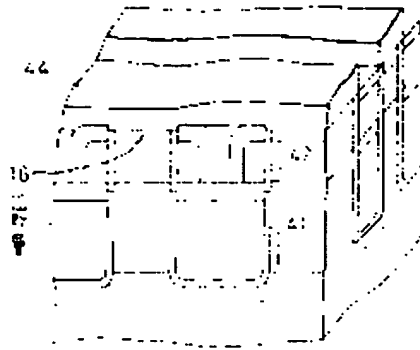












(C)

图 1 图

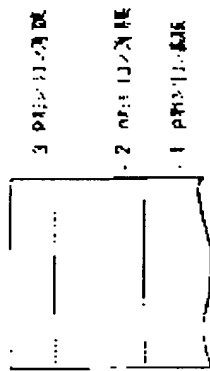


图 2 图

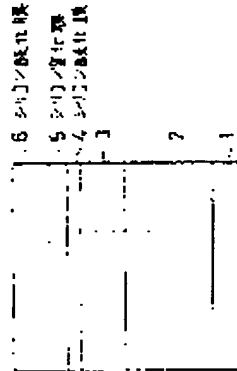


图 3 图

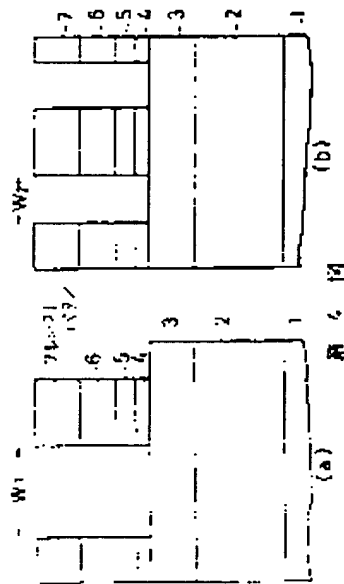


图 4 图

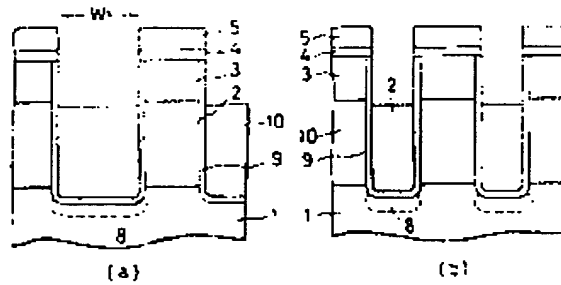
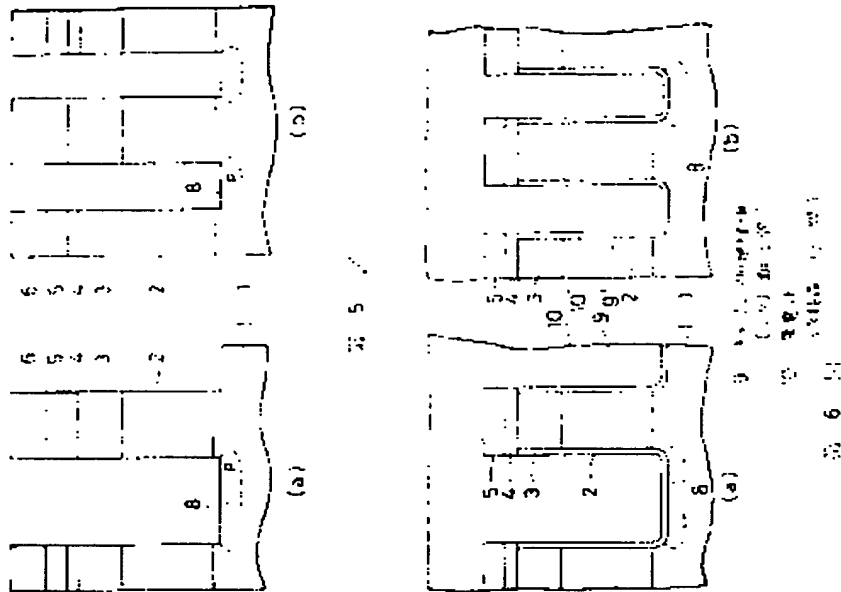


图 7 2

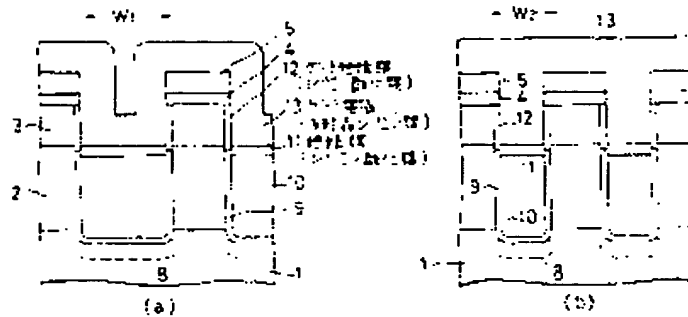


图 8 2

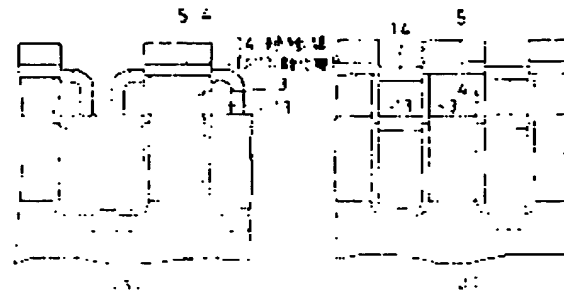


图 9

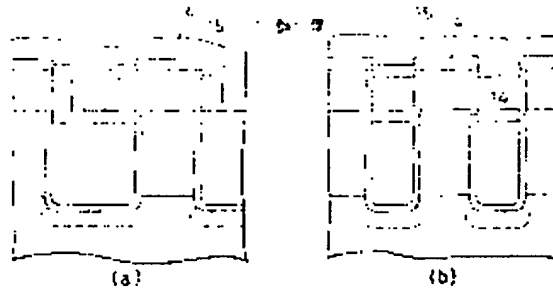


图 10

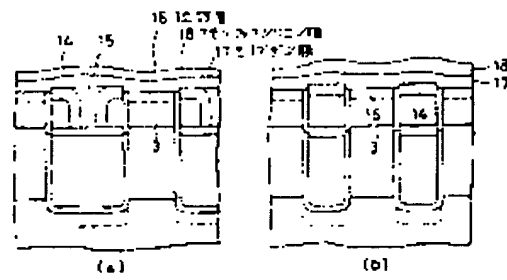


图 11

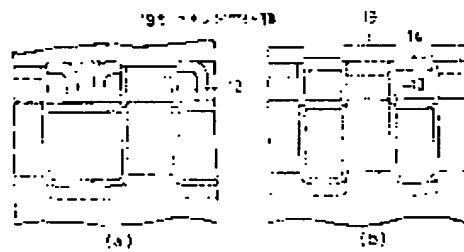


图 12

- 115 -

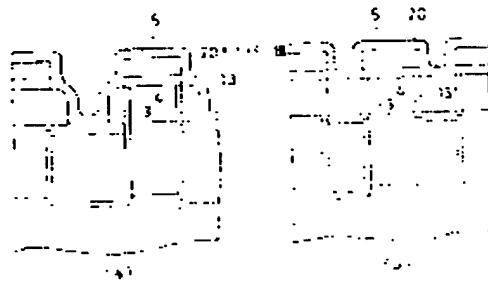


图 13

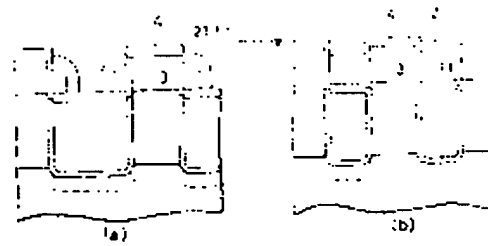


图 14

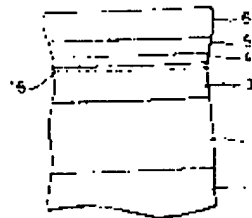


图 15

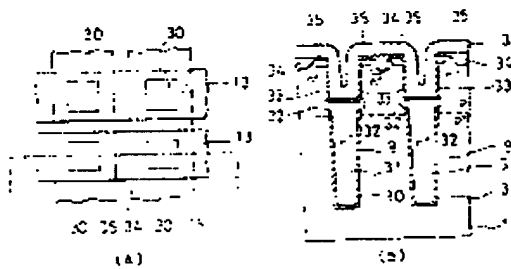


图 16